

PAT-NO: JP02002184999A

DOCUMENT-IDENTIFIER: JP 2002184999 A

TITLE: MANUFACTURING METHOD OF ARRAY SUBSTRATE FOR DISPLAY

PUBN-DATE: June 28, 2002

INVENTOR-INFORMATION:

NAME	COUNTRY
KUBO, AKIRA	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP2000380887

APPL-DATE: December 14, 2000

INT-CL (IPC): H01L029/786, H01L021/336 , G02F001/1368 , G09F009/30

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce the number of required patterning processes, and the number of mask patterns in the manufacturing method of an etching stopper type **TFT** array substrate used for a liquid crystal display or the like.

SOLUTION: A raster 11, a gate electrode 11a, and a raster pad section 11b are formed, and a gate insulating film 15, a semiconductor film 36, and an insulating protection covering 2 are deposited. After resist 6 is applied onto it, and a kind of **half-tone** exposure is achieved by exposure from a front side that uses a mask pattern 65 and has large intensity, and a back side that uses the raster 11 or the like as the mask and has small intensity. A contact hole 25 is formed under a resist pattern 61 with a step obtained in this manner. By appropriate ashing, the **resist pattern** is left merely at a place on the raster 11 with large film **thickness** or the like, Under a reduced **resist pattern** 62, a channel protection film (an etching stopper) 21 is formed.

COPYRIGHT: (C)2002,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-184999

(P2002-184999A)

(43) 公開日 平成14年6月28日 (2002.6.28)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	キーワード (参考)
H 0 1 L 29/786		G 0 2 F 1/1368	2 H 0 9 2
21/336		G 0 9 F 9/30	3 3 8 5 C 0 9 4
G 0 2 F 1/1368		H 0 1 L 29/78	6 1 2 D 5 F 1 1 0
G 0 9 F 9/30	3 3 8		6 1 6 N

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願2000-380887(P2000-380887)

(22) 出願日 平成12年12月14日 (2000.12.14)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 久保 明

兵庫県姫路市余部区上余部50番地 株式会  
社東芝姫路工場内

(74) 代理人 100059225

弁理士 葛田 瑋子 (外3名)

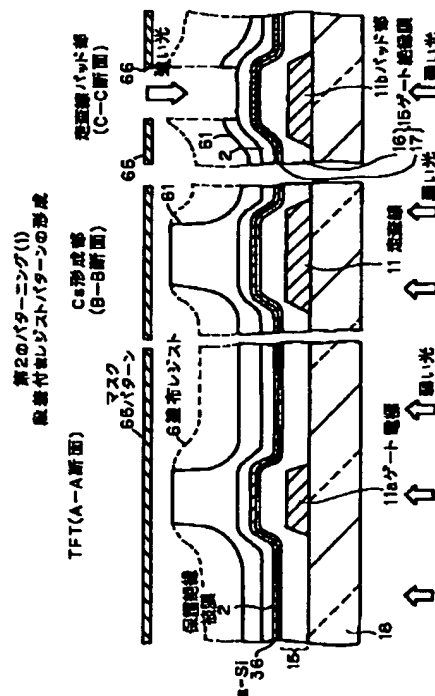
最終頁に続く

(54) 【発明の名称】 表示装置用アレイ基板の製造方法

(57) 【要約】

【課題】 液晶表示装置等に用いる、エッチングストップパ型のTFTアレイ基板の製造方法において、必要なパターンニング工程数やマスクパターンの数を削減することができるものを提供する。

【解決手段】 走査線11、ゲート電極11a及び走査線パッド部11bを形成し、ゲート絶縁膜15、半導体膜36及び絶縁保護被膜2を堆積する。この上にレジスト6を塗布した後、マスクパターン65を用いる強度の大きい表側からの露光と、走査線11等をマスクとする強度の小さい裏面からの露光とにより、一種のハーフトン露光を実現する。このようにして得られた段差付きレジストパターン61の下で、まずコンタクトホール25を作成する。次いで、適度のアッシングにより、膜厚の大きい走査線11上等の箇所のみレジストパターンを残すようにする。そして、この縮小したレジストパターン62の下で、チャネル保護膜 (エッチングストップ) 21を作成する。



## 【特許請求の範囲】

【請求項1】絶縁基板上に複数本の走査線、ゲート電極及び走査線パッド部を含む第1配線層パターンを形成する工程と、

この第1導電層パターンを覆うゲート絶縁膜、半導体被膜及び保護絶縁被膜を堆積またはコーティングした後、前記保護絶縁被膜をパターンニングして前記ゲート電極を覆う個所にチャンネル保護膜を形成する工程と、

前記走査線に略直交する信号線、ソース電極、及びドレイン電極を含む第2配線層パターンを形成する工程と、  
前記ゲート絶縁膜を貫いて前記走査線パッド部を露出させるコンタクトホール形成工程と、

前記ソース電極と電気的に接続される画素電極を含む導電層パターンを形成する工程とを含む表示装置用アレイ基板の製造方法において、前記コンタクトホール形成工程は、

前記走査線パッド部の個所に抜き部分を有するとともに、前記ゲート電極を覆う個所の厚さが、この個所をソース電極側及びドレイン電極側から挟み込む個所の厚さよりも大きい段差付きレジストパターンを形成する工程と、この段差付きレジストパターンの下でエッチングを行なう工程とからなり、

前記チャンネル保護膜を形成する工程は、

前記段差付きレジストパターンから、このうちの厚さの大きい個所のみが残留した縮小レジストパターンを形成する工程と、

該縮小レジストパターンの下でエッチングを行うことにより前記チャンネル保護膜を形成する工程とからなることを特徴とするアレイ基板の製造方法。

【請求項2】前記絶縁基板が光透過性であり、

前記段差付きレジストパターンを形成するための露光が、前記抜き部分を形成するための表側からの露光と、この表側からの露光とは異なる強度により前記絶縁基板の裏面側から前記第1配線層をマスクとして露光を行う裏面露光とにより行われることを特徴とする請求項1記載のアレイ基板の製造方法。

【請求項3】前記第2配線層パターンを形成する工程が、金属層と前記半導体被膜とを一つのレジストパターンの下で一括してパターンニングすることにより行われることを特徴とする請求項1記載のアレイ基板の製造方法。

【請求項4】前記第2配線層パターンを形成する工程に引き続いて、前記画素電極を含む導電層パターンを形成する工程が行われることを特徴とする請求項1記載のアレイ基板の製造方法。

【請求項5】前記第2配線層パターンを形成する工程の後、前記画素電極を含む導電層パターンを形成する工程の前に、膜厚が1  $\mu\text{m}$ 以上の有機保護膜のパターンを形成する工程を含むことを特徴とする請求項1記載のアレイ基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、液晶表示装置等の平面表示装置に用いられるアレイ基板の製造方法に関する。

## 【0002】

【従来の技術】近年、CRTディスプレイに代わる平面型の表示装置が盛んに開発されており、中でも液晶表示装置は軽量、薄型、低消費電力、目の疲れの少なさ等の利点から特に注目を集めている。

【0003】例えば、各表示画素毎にスイッチ素子が配置された光透過型のアクティブマトリクス型の液晶表示装置を例にとり説明する。アクティブマトリクス型液晶表示装置は、アレイ基板と対向基板との間に配向膜を介して液晶層が保持されて成っている。アレイ基板は、ガラスや石英等の透明絶縁基板上に複数本の信号線と走査線とが格子状に配置され、各交点部分にアモルファスシリコン(a-Si:H)等の半導体薄膜を用いた薄膜トランジスタ(以下、TFTと略称する。)が接続されている。そしてTFTのゲート電極は走査線に、ドレイン電極は信号線にそれぞれ電気的に接続され、さらにソース電極は画素電極を構成する透明導電材料、例えばITO(Indium-Tin-Oxide)に電気的に接続されている。

【0004】対向基板は、ガラス等の透明絶縁基板上にITOから成る対向電極が配置され、またカラー表示を実現するのであればカラーフィルタ層が配置されて構成されている。

【0005】このように表示画素ごとにTFTを配置するにあたり、TFTのチャンネル部を覆う個所にチャンネル保護膜を設けるタイプ(エッチングストップパ型)と、設けないタイプ(バックチャネルカット型)とがあるが、それぞれに一長一短があり、いずれも広く製造されている。

【0006】従前、エッチングストップパ型のTFTアレイ基板は、例えば、次のような7回のパターンニング工程(Photo Engraving Process)により行われ、各パターンニング工程ごとにマスクパターン(アレイマスク)を必要としていた。

【0007】(1)走査線及びゲート電極を含む第1配線層パターンを形成する工程→(2)チャンネル保護膜を形成する工程→(3)TFTの半導体活性層のパターンを形成する工程→(4)画素電極を含む導電層パターンを形成する工程→(5)第1配線層パターンを覆うゲート絶縁膜にスルーホール(コンタクトホール)を形成する工程→(6)信号線、ソース電極及びドレイン電極を含む第2配線層パターンを形成する工程→(7)第2配線層パターンを覆う層間絶縁膜(パッシベーション膜)を設けてパッド部を露出させる工程。

【0008】ところが、アクティブマトリクス液晶表示装置の製造コストを低減する上で、アレイ基板製造のた

めの工程数が多く、そのためアレイ基板のコスト比率が高いという問題があった。

【0009】そこで、特願平8-260572号においては、画素電極を最上層に配置し、これに伴い信号線、ソース、ドレイン電極と共に、半導体被膜等を同一のマスクパターンに基づいて一括してパターンニングを行った後、ソース電極と画素電極とを接続するソース電極用コンタクトホールを作製と共に、信号線や走査線の接続端を露出するための外周部コンタクトホールを作製を同時に行うことが提案されている。

【0010】特願平8-260572号に提案された方法によると、次のように、5枚のマスクパターンを用いる5回のパターンニング工程によりアレイ基板を製造することができる。

【0011】(1)走査線及びゲート電極を含む第1配線層パターンを形成する工程→(2)チャネル保護膜を形成する工程→(3)TFTの半導体活性層のパターンと上記第2配線層パターンとを一括して形成する工程→(4)層間絶縁膜を堆積後コンタクトホールを形成する工程→(5)画素電極を含む導電層パターンを形成する工程。

【0012】

【発明が解決しようとする課題】そして、更に装置全体の低価格化の要求から、アレイ基板の製造効率の向上及び製造コスト低減についてが近年求められるようになってきた。

【0013】本発明は、上記問題点に鑑みなされたものであり、エッチングストップ型のTFTを有するアレイ基板の製造方法において、パターンニングのための工程操作、またはマスクパターンの数をさらに削減することができ、これにより、製造効率の向上及び製造コストの削減を図ることができる製造方法を提供するものである。

【0014】

【課題を解決するための手段】請求項1のアレイ基板の製造方法は、絶縁基板上に複数本の走査線、ゲート電極及び走査線パッド部を含む第1配線層パターンを形成する工程と、この第1導電層パターンを覆うゲート絶縁膜、半導体被膜及び保護絶縁被膜を堆積またはコーティングした後、前記保護絶縁被膜をパターンニングして前記ゲート電極を覆う個所にチャネル保護膜を形成する工程と、前記走査線に略直交する信号線、ソース電極、及びドレイン電極を含む第2配線層パターンを形成する工程と、前記ゲート絶縁膜を貫いて前記走査線パッド部を露出させるコンタクトホール形成工程と、前記ソース電極と電気的に接続される画素電極を含む導電層パターンを形成する工程とを含む表示装置用アレイ基板の製造方法において、前記コンタクトホール形成工程は、前記走査線パッド部の個所に抜き部分を有するとともに、前記ゲート電極を覆う個所の厚さが、この個所をソース電極側及びドレイン電極側から挟み込む個所の厚さよりも大きい段差付きレジストパターンを形成する工程と、この段

差付きレジストパターンの下でエッチングを行なう工程とからなり、前記チャネル保護膜を形成する工程は、前記段差付きレジストパターンから、このうちの厚さの大きい個所のみが残留した縮小レジストパターンを形成する工程と、該縮小レジストパターンの下でエッチングを行うことにより前記チャネル保護膜を形成する工程とからなることを特徴とする。

【0015】上記構成により、パターンニングのための工程操作、またはマスクパターンの数を削減することができ、これにより、製造効率の向上及び製造コストの削減を図ることができる。

【0016】請求項2記載のアレイ基板の製造方法は、前記絶縁基板が光透過性であり、前記段差付きレジストパターンを形成するための露光が、前記抜き部分を形成するための表側からの露光と、この表側からの露光とは異なる強度により前記絶縁基板の裏面側から前記第1配線層をマスクとして露光を行う裏面露光とにより行われることを特徴とする。

【0017】このような構成により、段差付きレジストパターンを形成するにあたりスクリーンパターン等を設けた比較的高価なマスクパターンを用いる必要がない。

【0018】

【発明の実施の形態】本発明の実施例について、図1～8を参照して説明する。

【0019】図1は、アレイ基板上の各画素及び接続用周縁部の構成を模式的に示す平面図である。また、図8には完成したアレイ基板の要部の積層構造を示す。

【0020】図1に示すように、下層の走査線11と上層の信号線31との交点付近には、走査線11に順次印加される走査パルスにしたがい信号線31から画素電極42への信号入力をスイッチングするためのTFT7が配置されている。TFT7のゲート電極11aは走査線11と一体の延在部により形成されており、TFT7のドレイン電極32は、信号線31と一体の延在部により形成されている。そして、TFT7のソース電極33は、部分的に画素電極42によって直接覆われることにより、画素電極42に電気的に接続している。各画素電極42にあって、ソース電極33との接続箇所から見て逆側の縁には、走査線11を覆う画素電極延在部42aが設けられて走査線11との間で補助容量(Cs)を形成している。

【0021】また、各走査線11の一端からは、アレイ基板10の接続用周縁部10aに引き出し配線11cが引き出され、その先端に走査線パッド部11bを形成している。走査線パッド部11bの個所には、ゲート絶縁膜15を貫くコンタクトホールが設けられている。

【0022】次に、実施例のアレイ基板の製造工程について、図2～8を用いて詳細に説明する。

【0023】図2～8のアレイ基板の部分縦断面図には、各工程における、TFTの個所(図1のA-A断

10

20

30

40

50

面)、補助容量(Cs)形成部(図1のB-B断面)、及び走査線接続パッドの個所(図1のC-C断面)の積層構造を模式的に示す。

#### 【0024】(1) 第1のパターニング(図1)

ガラス基板18上に、スパッタ法によりモリブデン—タングステン合金膜(MoW膜)等の金属あるいは合金を230nm堆積させる。そして、レジストを塗布後、第1のマスクパターンを用いて露光、現像を行なうから、リン酸、酢酸、硝酸及び水からなるエッチング液によりエッチングを行なう。

【0025】このような合金膜のパターニングにより、756本の走査線11と、アレイ基板10の一端辺側に引き出された、引き出し線11c及びその先端のパッド部11bとが形成される。また、画素領域では各画素に対応して、走査線11の延在部からなるゲート電極11aが作成される。

#### 【0026】(2) 第2のパターニング

(2-1) 多層膜の堆積及び段差付きレジストパターンの形成(図3)

プラズマCVD法により、350nm厚の酸化シリコン膜からなる第1ゲート絶縁膜16、および、50nm厚の窒化シリコン膜からなる第2ゲート絶縁膜17を堆積させ、さらに、TFT9の半導体活性層をなすための、50nm厚のアモルファスシリコン(a-Si:H)からなる半導体被膜36、及び200nm厚の窒化シリコンからなる保護絶縁被膜2を、連続して堆積させる。

【0027】このようにして得られた多層膜の上に、1μm以上例えば2μm程度の膜厚でネガタイプ(光照射部が抜けるタイプ)のレジスト6を塗布した後、第2のマスクパターン65を用いて、基板上方、すなわち、多層膜が形成された側から、例えば比較的強度の大きい光により露光が行われる。第2のマスクパターン65は、走査線パッド部11bに対応する抜きパターン66を有するものである。

【0028】表側からの露光と同時に、または前後して、基板下方、すなわち、ガラス基板18の裏面から、例えば比較的強度の小さい光が照射される。このような基板裏面側からの照射により、走査線11及びゲート電極11aなどのパターンをマスクとする裏面露光が行われる。

【0029】このような露光操作の後に現像及び未硬化レジストの除去を行うことにより、強い光を受けた走査線パッド部11bの個所にはレジストの抜き部分63が形成され、全く光を受けなかったゲート電極11a上、及び走査線11上には、膜厚の大きいレジスト層が形成される。一方、その他の領域、すなわち裏面からの弱い光を受けた領域では、膜厚の小さいレジスト層が形成される。したがって、図3に模式的に示すような段差付きレジストパターン61が形成される。

【0030】これは、マスクパターン中にスクリーンパ

ターン領域や半透過領域を設けて露光操作を行うハーフトーン露光の場合と全く同様である。

【0031】(2-2) エッチングによるコンタクトホール形成(図4)

上記の段差付きレジストパターン61の下でエッチング操作を行うことにより、ゲート絶縁膜15を貫いて走査線パッド部11bの上面を露出させるコンタクトホール25を形成する。

【0032】(2-3) アッシングによるレジストパターンの縮小(図5)

次に、適度のアッシング、即ち段差付きレジストパターン61における膜厚の大きい個所のみが残るように時間を制御してアッシングを行う。すなわち、ゲート電極11a上及び走査線11上などの個所のみを被覆する縮小レジストパターン62を得る。

【0033】(2-4) チャネル保護膜の形成(図6)

縮小レジストパターン62の下でエッチングを行なうことにより、ゲート電極11a上に、チャネル保護膜21を形成する。このとき、走査線11上にも線状に絶縁保護被膜2が残留して線状保護膜22が形成される。この線状保護膜22は、ゲート絶縁膜15に欠陥があった場合に走査線11とこれに重なる導電層との間の短絡を防ぐ役割を果たす。

【0034】(3) 第3のパターニング

プラズマCVD法により50nm厚のリンドープアモルファスシリコン(n+a-Si:H)からなる低抵抗半導体被膜37を堆積する。そして、良好なオーミックコンタクトが得られるようにフッ酸で処理した後、スパッタリングにより、25nm厚のMo層、250nmのアルミニウム(A1)層、及び50nm厚のMo層をこの順に堆積させる。このようにして得られた三層金属膜及び半導体層36、37について、第3のマスクパターンを用いて露光、現像して得られるレジストパターン6の下で一括してパターニングを行なう。まず、リン酸、酢酸、硝酸及び水からなるエッチング液によって三層金属膜をエッチングし、次いで、プラズマエッチング(Plasma Etching)により半導体膜36、37をパターニングする。

【0035】このようにして、信号線31、この延在部から成るドレイン電極32、及びソース電極33を形成する。

【0036】(4) 第4のパターニング(図8)

透明導電層として、40nm厚のITOを堆積した後、パッド部11bを覆うパッド部ITO膜41、画素電極42、及び、補助容量(Cs)形成用の画素電極延在部42aを作成する。このようにして完成した、実施例のアレイ基板の積層構成を図8に模式的に示す。

【0037】本実施例では、画素電極延在部42aと走査線11との間に、チャネル保護膜21と同時に形成される線状保護膜22が存在するため、補助容量を形成する導電体42a、11間の間隔が大きくなる。しかし、

通常は、画素電極延在部42aにおける走査線11に沿った寸法を適宜大きくとることで適当な大きさの補助容量を実現することができる。

【0038】なお、図には示さないが、アレイ基板の最上層には、通常、有機又は無機の保護膜、更に液晶表示装置用であれば配向膜が適宜形成される。

【0039】上記実施例によると、4枚のマスクパターンを用いたパターニング操作によって、TFT個所にチャネル保護膜を有するタイプのアレイ基板を製造することができる。従来のように5枚のマスクパターンを用いた場合に比べて、マスクパターンの枚数を減らせる他、チャネル保護膜形成用のパターニング工程とコンタクトホール形成用のパターニング工程とで、別個に行っていたレジスト塗布、露光・現像、レジスト除去及び洗浄の工程をそれぞれ一回で行うことができる。そのため、アレイ基板の製造効率の向上とコストの低減とを図ることができる。

【0040】特に、段差付きレジストパターン61を形成するにあたり、特殊なマスクパターンを用いることなく、裏面露光の照度あるいは照射時間と、表側からの露光の照度あるいは照射時間とを旨く制御することで特殊なレジストパターンの形成を可能とし、これにより、マスクパターン製造のためのコスト上昇を防ぐことができる。裏面露光の強度を表側からの露光の強度と異なるものとするためには、単に、照射時間や照度を変えることにより積算光量を調整する他、波長や波長構成を違えても良い。

【0041】しかし、言うまでもなく、段差付きレジストパターン61を形成するにあたり、一般的なハーフトーン技術と同様に、マスクパターンの特定領域に、スクリーンパターンやメッシュパターンを設けたり、半透過性の材料をコーティングする等の方法を採用することもできる。この場合、絶縁保護被膜2をゲート電極11a上、すなわちチャネル保護膜21をなす個所のみ残すようにすることができる。

【0042】なお、ここでいう光には、言うまでもなく、可視光線のみならず紫外線等を含む。

【0043】上記の実施例の製造方法であると、画素電極等の例えばITO膜パターンを形成する前に、信号線等の上層金属配線層パターンを覆う層間絶縁膜（パッシベーション膜）を設けることができない。しかし、ITO膜パターンの上に適当な保護膜を設けることにより、信号線等から液晶中への金属の溶出等の悪影響を防ぐことが可能である。また、信号線等の材料として、上記実施例で用いたモリブデン（Mo）やアルミニウム（Al）に代えて、銅（Cu）、銀（Ag）またはパラジウム（Pd）等を用いれば、液晶層への悪影響が効果的に抑えられる。

【0044】上記実施例においては、走査線11及びゲート電極11a等のパターンの外には一切絶縁保護被膜

2が残留しないものとして説明したが、場合によっては、ソース電極33及びドレイン電極32が半導体層36と接触するための個所以外の任意の領域に絶縁保護被膜2のパターンを配置しておくこともできる。但し、このためには、スクリーンパターン等を有するマスクパターンを用いる必要がある。

【0045】次に図9の積層図を用いて変形例のアレイ基板の製造方法について説明する。

【0046】変形例においては、上記に説明した実施例と同様の製造方法において、上記第3のパターニングの完了後であって上記第4のパターニング（ITO膜のパターニング）の前に、他の膜より格段に膜厚の大きい有機保護膜5のパターンを形成する工程が行われる。有機保護膜5の厚さは、一般に1 $\mu$ m以上であり、典型的には1.5～4 $\mu$ m、更には2～3 $\mu$ mである。このような有機保護膜5のパターンの配置により、画素電極42の四周の縁を走査線11及び信号線31と重ね合わせてこの個所でのブラックマトリクスを省くことが可能となり、これにより、画素開口率を向上させることができる。このような有機保護膜5のパターンには、ソース電極33の個所、及び補助容量形成用の画素電極延在部42aの個所を露出させる抜き部分が設けられている。

【0047】図示の例で、有機保護膜5は、上面の高さが等しい平坦な膜であり、アレイ基板上面の凹凸を吸収する平坦化膜の役割を果たすものである。また、有機保護膜5は、信号線31等の上層配線層の金属が液晶中に染み出すことなどを防ぐ層間絶縁膜としての役割も果たす。

【0048】有機保護膜5は、例えば、光硬化性の透明樹脂からなり、マスクパターンを用いた露光及び未硬化樹脂の除去により、直接、パターンが形成される。すなわちエッチング操作なしにパターンが形成される。有機保護膜5は、インクジェット技術等を用いる染色によりカラーフィルターの役割を果たすこともできる。

【0049】以上に説明したように、変形例のアレイ基板の製造方法であると、マスクパターンの数、及びパターニングの数が一つ増加するものの、画素開口率を増大させることができる他、有機保護膜5に、カラーフィルター層を作り込むことや、層間絶縁膜の役割をもたすことができる。

【0050】上記実施例及び変形例においては、画素電極がITO膜により形成されたとしたが、他の透明導電材料を用いることもでき、また、反射型液晶表示装置に用いるのであれば、金属材料を用いることもできる。

【0051】また、アレイ基板は、液晶表示装置に用いるものとして説明したが、有機EL（Electro Luminescence）等の他の平面表示装置に用いることもできる。

【0052】アレイ基板のTFTにおける半導体活性層が、アモルファスシリコン層に代えて多結晶シリコン膜であっても全く同様であることは言うまでもない。

## 【0053】

【発明の効果】エッチングストップ型のTFTを有するアレイ基板の製造方法において、パターニングのための工程操作、またはマスクパターンの数を削減することができ、これにより、製造効率の向上及び製造コストの削減を図ることができる。

## 【図面の簡単な説明】

【図1】実施例のアレイ基板における各画素及び接続用周縁部の構成を模式的に示す平面図である。

【図2】実施例のアレイ基板の製造工程における、第1の  
10のパターニングの後の様子を示す要部断面斜視図である。

【図3】実施例のアレイ基板の製造工程における、第2  
のパターニングのための段差付きレジストパターンの形成について説明するための、図2に対応する要部断面斜視図である。

【図4】実施例に係る第2のパターニング工程にあつて  
第1のエッチング後、すなわち、段差付きレジストパターン  
の下でのコンタクトホール形成後の様子を示す、  
図2に対応する要部断面斜視図である。

【図5】実施例に係る第2のパターニング工程にあつて、  
レジストパターンにアッシングを加えて厚膜部分のみを残した  
様子を示す、図2に対応する要部断面斜視図である。

【図6】実施例のアレイ基板の製造工程における、第2  
のパターニングの終了時、すなわち、チャネル保護膜形成後の  
様子を示す、図2に対応する要部断面斜視図である。

る。

【図7】実施例のアレイ基板の製造工程における、第3  
のパターニングの後の様子を示す、図2に対応する要部  
断面斜視図である。

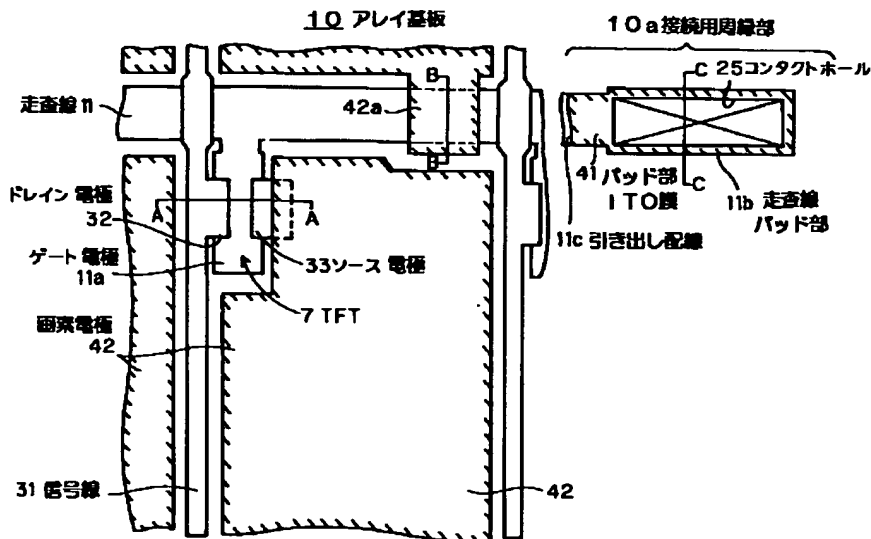
【図8】実施例のアレイ基板の製造工程における、第4  
のパターニングの後の様子、すなわちアレイ基板完成時の  
様子を示す、図2に対応する要部断面斜視図である。

【図9】変形例のアレイ基板の製造工程について説明する  
ための、図8に対応する要部断面斜視図である。

## 【符号の説明】

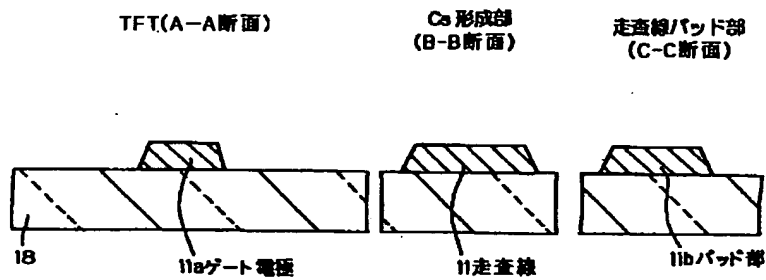
- 10 アレイ基板
- 11 走査線
- 11a ゲート電極
- 11b 走査線パッド部
- 15 2層重ねのゲート絶縁膜
- 16 第1ゲート絶縁膜
- 17 第2ゲート絶縁膜
- 2 保護絶縁被膜
- 21 チャネル保護膜
- 22 チャネル保護膜と同時に形成される線状保護膜
- 25 走査線パッド部11bを露出させるコンタクトホール
- 31 信号線
- 41 パッド部ITO膜
- 42 画素電極
- 61 段差付きレジストパターン
- 62 アッシング後の縮小レジストパターン

【図1】

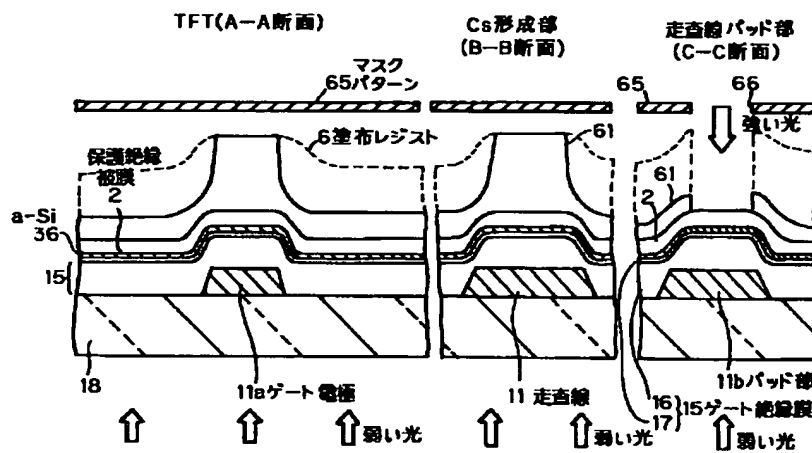


【図2】

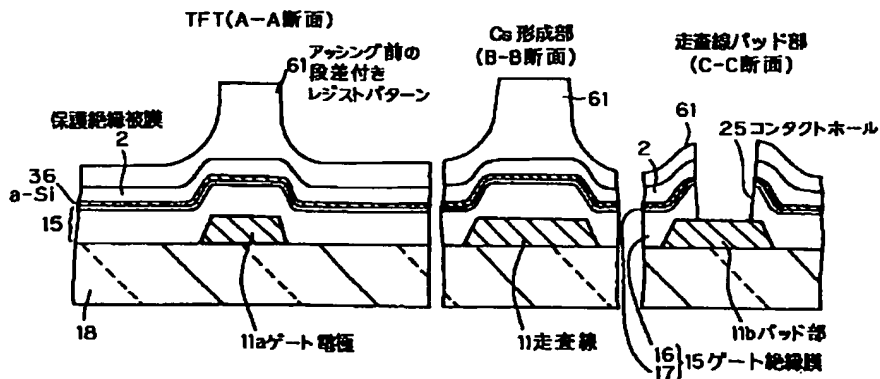
第1のバターニング後



【図3】

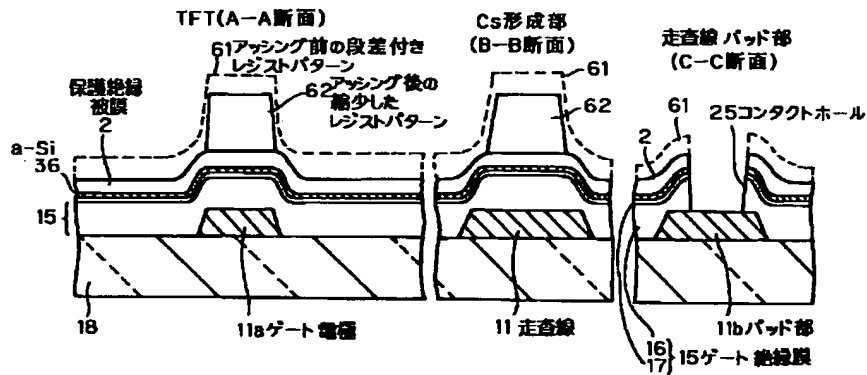
第2のバターニング(1)  
段差付きレジストパターンの形成

【図4】

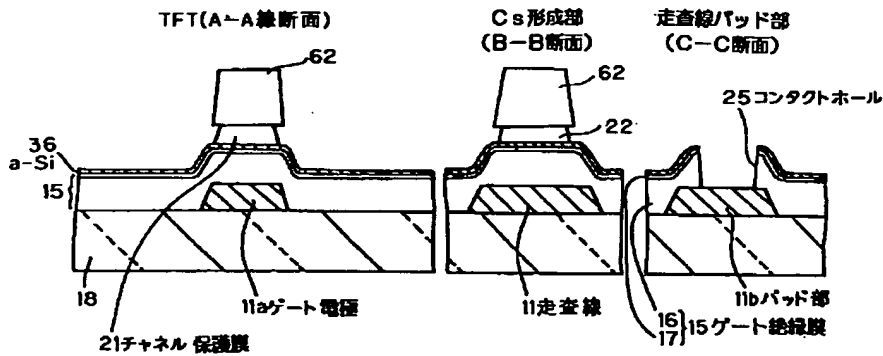
第2のバターニング(2)  
コンタクトホール形成



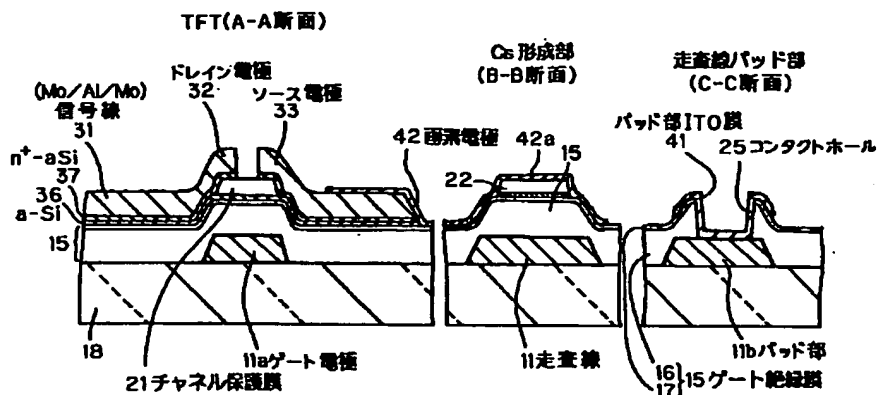
【図5】

第2のパターニング(3)  
ファッシング

【図6】

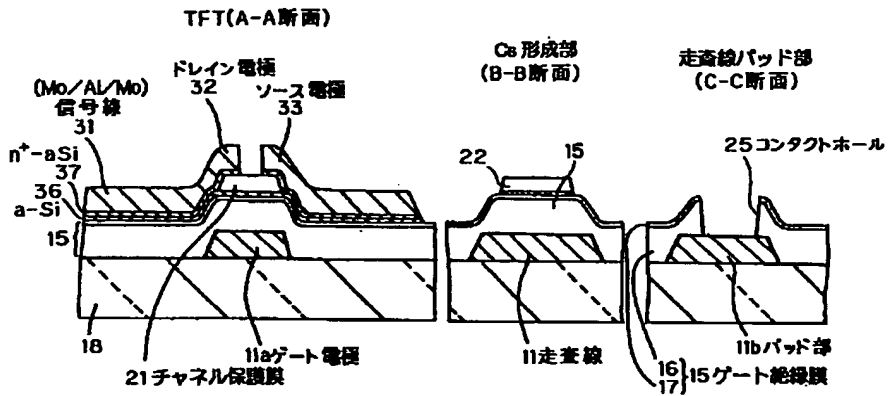
第2のパターニング(4)  
チャンネル保護膜形成  
(第2のパターニング終了時)

【図8】

第4のパターニング後  
(ITO膜パターン)

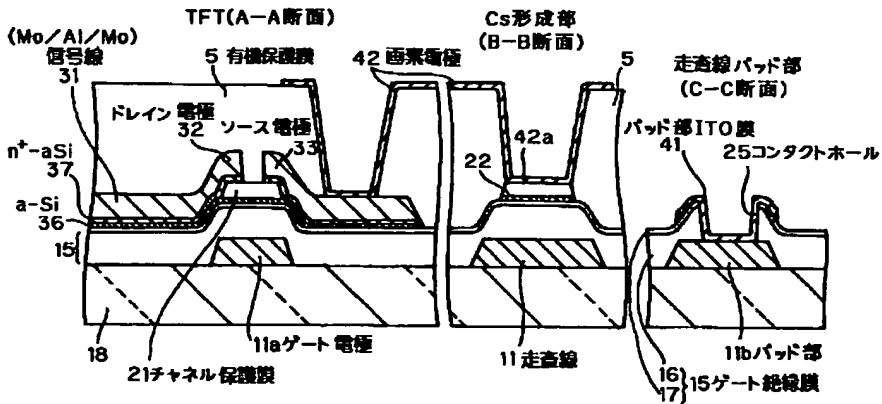
【図7】

第3の patterning 後  
(信号線等のパターン)



【図9】

変形例



## フロントページの続き

Fターム(参考) 2H092 GA33 JA26 JA29 JA38 JA42  
JA44 JB13 JB23 JB32 JB33  
JB53 JB57 JB63 JB69 KA05  
KA07 KB14 MA05 MA08 MA14  
MA15 MA16 MA18 MA19 MA20  
MA27 MA28 MA35 MA37 MA41  
NA27  
5C094 AA43 AA44 BA03 BA43 CA19  
CA24 DA14 DA15 EA04 EA07  
EB02 FB01 FB12 FB14 FB15  
GB10  
5F110 AA16 BB01 CC07 DD02 EE06  
EE44 FF02 FF03 FF09 FF30  
GG02 GG15 GG25 GG45 HK02  
HK03 HK04 HK09 HK16 HK22  
HK25 HK33 HK35 HL07 NN04  
NN14 NN24 NN27 NN35 NN73  
QQ02 QQ12